


Docket No. 8733.842.00			
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
IN RE APPLICATION OF:		Byeong Koo KIM et al.	GAU: TBA
SERIAL NO:	TBA	EXAMINER:	TBA
FILED:	June 23, 2003		
FOR:	LIQUID CRYSTAL DISPLAY PANEL WITH STATIC ELECTRICITY PREVENTION CIRCUIT		
REQUEST FOR PRIORITY			
Commissioner of Patents P.O. Box 1450 Alexandria, VA 22313-1450			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120 .		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e) .		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119 , as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>	
KOREA	2002-47867	August 13, 2002	
Certified copies of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
Date: <u>June 23, 2003</u>		Respectfully Submitted,	
		McKENNA LONG & ALDRIDGE LLP	
		 Rebecca Goldman Rudich	
1900 K Street, N.W. Washington, D.C. 20006 Tel. (202) 496-7500 Fax. (202) 496-7756		Registration No. 41,786	



30827

PATENT TRADEMARK OFFICE

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0047867
Application Number

출원년월일 : 2002년 08월 13일
Date of Application AUG 13, 2002

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



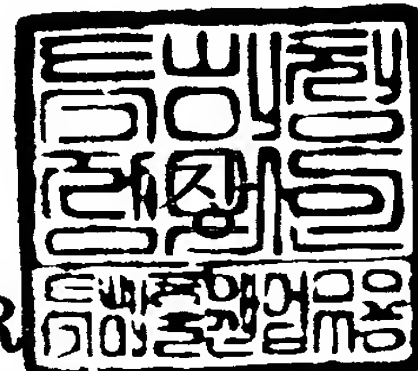
2003 년 02 월 24 일

특

허

청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.13
【발명의 명칭】	정전기 방지를 위한 액정패널
【발명의 영문명칭】	LIQUID CRYSTAL PANEL FOR PROTECTING STATIC ELECTRICITY
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	김병구
【성명의 영문표기】	KIM,Byeong Koo
【주민등록번호】	670923-1357816
【우편번호】	730-090
【주소】	경상북도 구미시 송정동 183 동양한신아파트 101동 607호
【국적】	KR
【발명자】	
【성명의 국문표기】	하용민
【성명의 영문표기】	HA,Yong-Min
【주민등록번호】	661210-1890529
【우편번호】	730-022
【주소】	경상북도 구미시 도량2동 77 파크맨션 105동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	황한욱
【성명의 영문표기】	HWANG,Han-Wook
【주민등록번호】	750206-1055514

【우편번호】 150-106

【주소】 서울특별시 영등포구 양평동6가 86번지 덕양연립 5동 105호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김영호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	24 면	24,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	11 항	461,000 원
【합계】		514,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 패드를 통한 정전기 유입을 방지할 수 있는 정전기 방지를 위한 액정패널을 제공하는 것이다.

본 발명의 액정패널은 다수의 액정셀들로 구성된 화상표시부와; 화상표시부의 신호라인들에 입력된 구동신호를 공급하는 신호 패드부를 구비하고; 패드부가 신호라인들과 접속된 다수의 패드들과; 플로팅게이트를 갖는 박막트랜지스터를 포함하여 패드로 유입된 정전기에 의해 패드들을 쇼팅바와 접속시켜 패드들이 정전기에 대하여 등전위를 형성하게 하는 정전기 방지 회로를 구비하는 것을 특징으로 한다.

【대표도】

도 6

【명세서】

【발명의 명칭】

정전기 방지를 위한 액정패널{LIQUID CRYSTAL PANEL FOR PROTECTING STATIC ELECTRICITY}

【도면의 간단한 설명】

- 도 1은 일반적인 검사 패드부를 갖는 액정패널을 개략적으로 도시한 평면도.
도 2는 다른 검사 패드부를 갖는 액정패널을 개략적으로 도시한 평면도.
도 3은 종래의 정전기 방지 회로를 포함하는 검사 패드부를 도시한 도면.
도 4는 종래의 정전기 방지 회로를 포함하는 다른 검사 패드부를 도시한 도면.
도 5는 종래의 정전기 방지 회로를 포함하는 또 다른 검사 패드부를 도시한 도면.
도 6은 본 발명의 제1 실시 예에 따른 액정패널의 검사 패드부를 도시한 도면.
도 7은 도 6에 도시된 플로팅게이트 박막트랜지스터의 동작전압 범위를 도시한 그래프.
도 8a는 본 발명의 제2 실시 예에 따른 액정패널의 검사 패드부를 도시한 도면이고, 도 8b는 그라인딩 공정 후 도 8a에 도시된 검사 패드부를 도시한 도면.
도 9는 본 발명의 제3 실시 예에 따른 액정패널의 검사 패드부를 도시한 도면.
도 10은 본 발명의 제4 실시 예에 따른 액정패널의 검사 패드부를 도시한 도면.
도 11a는 본 발명의 제5 실시 예에 따른 액정패널의 검사 패드부를 도시한 도면이고, 도 11b는 그라인딩 공정 후 도 11a에 도시된 검사 패드부를 도시한 도면.

<도면의 주요부분에 대한 부호의 간단한 설명>

2, 12 : 액정패널

4, 14 : 화상표시부

6, 16 : 패드부

8, 18, 20 : 검사 패드부

32, 42, 52, 62, 82, 92, 102, 112 : 검사 패드

36, 46, 56, 68, 88, 98, 108, 118 : 정전기 방지 회로

69, 89, 99, 109, 119 : 제2 정전기 방지 회로

44, 54, 64, 84, 94, 104, 114 : 쇼팅바

66, 86, 96, 106, 116 : 연결라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 액정패널에 관한 것으로, 특히 패드부를 통한 정전기 유입을 방지할 수 있는 정전기 방지를 위한 액정패널에 관한 것이다.

<21> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다.

<22> 액정패널은 서로 대향하여 접합된 박막트랜지스터 어레이 기판 및 칼러필터 어레이 기판과, 두 기판의 일정한 셀갭 유지를 위한 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

- <23> 박막트랜지스터 어레이 기판은 게이트라인들 및 데이터라인들과, 그 게이트라인들과 데이터라인들의 교차부마다 스위치소자로 형성된 박막트랜지스터와, 액정셀 단위로 형성되어 박막트랜지스터에 접속된 화소전극 등으로 구성된다. 게이트라인들과 데이터라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막트랜지스터는 게이트라인에 공급되는 스캔신호에 응답하여 데이터라인에 공급되는 화소전압신호를 화소전극에 공급한다.
- <24> 칼라필터 어레이 기판은 액정셀 단위로 형성된 칼라필터들과, 칼라필터들간의 구분 및 외부광 반사를 위한 블랙매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통전극 등으로 구성된다.
- <25> 액정패널은 박막트랜지스터 어레이 기판과 칼라필터 어레이 기판을 별도로 제작하여 합착한 다음 액정을 주입하여 완성하게 된다.
- <26> 이렇게 완성된 액정패널은 불량 여부를 검출하기 위하여 점등 검사 등과 같은 검사 과정을 거치게 된다. 검사 과정을 위하여 액정패널은 도 1 및 도 2에 도시된 바와 같이 테스트 신호 공급을 위한 검사 패드부(8, 18, 20)를 구비한다.
- <27> 도 1에 도시된 액정패널(2)은 다수개의 액정셀들이 마련된 화상표시부(4)와, 박막트랜지스터 어레이(4)의 외곽영역에 형성되어 구동회로(도시하지 않음)와 접속되어질 연결 패드부(6)와, 검사 과정에서 이용되는 검사 패드부(8)를 구비한다.
- <28> 도 1에 도시된 연결 패드부(6)는 화상표시부(4)의 신호라인들과 접속된다. 이러한 연결 패드부(6)는 외부 구동회로로부터 공급되는 구동신호를 화상표시부(4)의 신호라인들에 공급한다.

- <29> 검사 패드부(8)는 화상표시부(4)의 신호라인들과 접속되는 다수개의 검사 패드들을 구비하고, 연결 패드부(6)와 분리되어 형성된다. 이러한 검사 패드부(8)는 액정패널(2)의 검사과정에서 공급되는 테스트 신호들과, 에이징 공정에서 공급되는 바이어스 전압을 화상표시부(4)의 신호라인들에 공급하게 된다.
- <30> 도 2에 도시된 액정패널(12)은 다수개의 액정셀들이 마련된 화상표시부(14)와, 화상표시부(14)의 외곽영역에 형성되어 구동회로(도시하지 않음)와 접속되어질 연결 패드부(16)와, 검사 과정에서 이용되는 검사 패드부(18, 20)를 구비한다.
- <31> 도 2에 도시된 검사 패드부(18, 20)는 화상표시부(14)의 신호라인들과 접속되는 다수개의 검사 패드들을 구비하고, 연결 패드부(16)의 양측에 일체화되어 형성된다. 이러한 검사 패드부(14)는 액정패널(12)의 검사과정에서 공급되는 테스트 신호들과, 에이징 공정에서 공급되는 바이어스 전압을 화상표시부(14)의 신호라인들에 공급한다.
- <32> 실제로, 검사 패드부는 도 3에 도시된 바와 같이 다수개의 검사 패드들(32)과, 검사 패드들(32) 각각과 접속되는 정전기 방지 회로(36)를 구비한다.
- <33> 도 3에 도시된 검사 패드들(32)은 화상표시부의 신호라인들과 접속된다. 정전기 방지 회로(36) 각각은 검사 패드(32)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 정전기 방지 회로(36)는 제1 구동전압 공급라인(VSSL)과 검사 패드(32)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(32)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 정전기 방지 회로(36)는 검사 패드들(32)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 함으로써 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.

- <34> 그러나, 이러한 구성을 갖는 검사 패드부에서는 검사 패드들(32)이 독립적으로 형성됨에 따라 그 검사 패드들(32) 간에 등전위를 형성할 수 없게 된다. 이로 인하여, 액정패널의 제조공정 및 검사과정에서 검사 패드들(32)을 통해 유입된 정전기가 정전기 방지 회로(36)와 제1 및 제2 구동전압 공급라인(VDDL, VSSL)를 통해 완전히 바이패스되지 못하고 액정패널 내부로 전달되는 문제가 발생하게 된다.
- <35> 도 4는 검사 패드부의 다른 구성을 도시한 것이다.
- <36> 도 4에 도시된 검사 패드부는 다수개의 검사 패드들(42)과, 검사 패드들(42) 각각과 접속되는 정전기 방지 회로(46)와, 검사 패드들(42)과 공통 접속된 쇼팅바(44)를 구비한다.
- <37> 도 4에 도시된 검사 패드들(42)은 화상표시부의 신호라인들과 접속되고, 쇼팅바(44)에 공통 접속된다. 정전기 방지 회로(46)는 검사 패드(42)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 정전기 방지 회로(46)는 제1 구동전압 공급라인(VSSL)과 검사 패드(42)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(42)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 정전기 방지 회로(46)는 검사 패드들(42)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 정전기 방지 회로(46)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다. 특히, 검사 패드들(42)은 쇼팅바(44)에 의해 등전위를 형성한다. 이에 따라, 스크라이빙 공정으로 쇼팅바(44)가 제거되기 전까지 검사 패드들(42)로 유입된 정전기는 등전위를 형성하는 검사 패드들(42)

로 확산됨으로써 정전기 방지 회로(36)와 제1 및 제2 구동전압 공급라인(VDDL, VSSL)를 통해 보다 빠르게 바이패스된다.

<38> 그러나, 도 4에 도시된 검사 패드부는 스크라이빙 공정으로 쇼팅바(44)가 제거된 이후에는 도 3에 도시된 바와 같이 검사 패드들(42)이 분리되게 되므로 등전위를 형성하지 못하게 된다. 이로 인하여, 스크라이빙 공정 이후에 수행되는 후속공정들과 점등검사 중에 검사 패드들(42)을 통해 유입된 정전기가 정전기 방지 회로(46)와 제1 및 제2 구동전압 공급라인(VDDL, VSSL)를 통해 완전히 바이패스되지 못하고 액정패널 내부로 전달되는 문제가 발생하게 된다.

<39> 도 5는 검사 패드부의 또 다른 구성을 도시한 것이다.

<40> 도 5에 도시된 검사 패드부는 다수개의 검사 패드들(52)과, 검사 패드들(52) 각각과 접속되는 정전기 방지 회로들(56)과, 검사 패드들(52)과 공통 접속된 쇼팅바(54)와, 검사 패드들(52) 각각과 쇼팅바(54) 사이에 각각 접속된 저항(R)을 구비한다.

<41> 도 5에 도시된 검사 패드들(52)은 화상표시부의 신호라인들과 접속되고, 저항(R)을 통해 쇼팅바(54)와 공통 접속된다. 정전기 방지 회로(56)는 검사 패드(52)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 정전기 방지 회로(56)는 제1 구동전압 공급라인(VSSL)과 검사 패드(52)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(52)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 정전기 방지 회로(56)는 검사 패드들(52)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 정전기 방지 회로(56)는 액정패널 내부의 박막트랜지스터 어레이를 정전기로부터 보호하게 된다. 더불

어, 검사 패드(52)로 유입된 정전기는 그라인딩 공정으로 쇼팅바(54)가 제거되기 전까지 저항(R)을 경유하여 쇼팅바(54)로 바이패스된다.

<42> 그러나, 저항(R)을 통한 연결이므로 검사 패드(52)로 유입된 정전기가 쇼팅바(54)로 바이패스 되는데 한계가 있어 액정패널 내부로 전달되는 문제가 발생하게 된다.

<43> 이와 같이 종래의 검사 패드부는 정전기 방지 회로를 이용하여 액정패널 제조공정 및 검사과정에서 검사 패드로 유입된 정전기로부터 액정패널 내부의 박막트랜지스터 어레이를 효과적으로 보호하지 못하고 있다.

【발명이 이루고자 하는 기술적 과제】

<44> 따라서, 본 발명의 목적은 패드를 통한 정전기 유입을 방지할 수 있는 정전기 방지를 위한 액정패널을 제공하는 것이다.

【발명의 구성 및 작용】

<45> 상기 목적을 달성하기 위하여, 본 발명에 따른 정전기 방지를 위한 액정패널은 다수의 액정셀들로 구성된 화상표시부와; 화상표시부의 신호라인들에 입력된 구동신호를 공급하는 신호 패드부를 구비하고; 패드부가 신호라인들과 접속된 다수의 패드들과; 플로팅게이트를 갖는 박막트랜지스터를 포함하여 패드로 유입된 정전기에 의해 패드들을 쇼팅바와 접속시켜 패드들이 정전기에 대하여 등전위를 형성하게 하는 정전기 방지 회로를 구비하는 것을 특징으로 한다.

- <46> 여기서, 정전기 방지 회로는 패드에 정상적인 구동신호가 공급되면 그 패드를 쇼팅바 및 다른 패드들과 절연되게 하여 화상표시부의 신호라인들로 공급되게 하는 것을 특징으로 한다.
- <47> 그리고, 정전기 방지 회로는 쇼팅바와 접속된 박막트랜지스터의 제1 단자와 플로팅 게이트 사이에 접속된 제1 캐패시터와; 패드와 접속된 박막트랜지스터의 제2 단자와 상기 플로팅 게이트 사이에 접속된 제2 캐패시터를 추가로 구비하는 것을 특징으로 한다.
- <48> 여기에, 패드와 제1 및 제2 구동전압 공급라인 사이에 형성되어 패드로 유입되는 정전기를 상기 제1 및 제2 구동전압 공급라인 쪽으로 바이패스시키는 제2 정전기 방지 회로를 추가로 구비하는 것을 특징으로 한다.
- <49> 이 경우, 패드는 패드로부터 쇼팅바 제거를 위한 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 패드 아래쪽으로 신장된 연결라인을 통해 정전기 방지 회로와 제2 정전기 방지 회로 사이의 노드와 접속된 것을 특징으로 한다.
- <50> 이와 달리, 패드는 패드로부터 쇼팅바 제거를 위한 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 패드 아래쪽으로 신장된 제1 연결라인을 통해 정전기 방지 회로와 접속되고; 패드로부터 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 패드 아래쪽으로 신장된 제2 연결라인을 통해 제2 정전기 방지 회로와 접속된 것을 특징으로 하는 특징으로 한다.
- <51> 이러한 패드는 쇼팅바를 제거하는 그라인딩 공정에 의해 정전기 방지 회로 및 제2 정전기 방지 회로 그리고 화상표시부의 신호라인과 전기적으로 분리되는 것을 특징으로 한다.

- <52> 여기에, 노드와 화상표시부의 신호라인들 사이에 접속되어 전류를 제한하는 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 한다.
- <53> 또한, 제2 연결라인과 화상표시부의 신호라인들 사이에 접속되어 전류를 제한하는 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 한다.
- <54> 더욱이, 패드와 쇼팅바 사이에 접속된 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 한다.
- <55> 이러한 패드부는 화상표시부의 신호라인들과 외부의 구동회로를 연결시키는 다수의 연결패드들로 구성된 연결 패드부와; 액정패널 검사를 위하여 화상표시부의 신호라인들과 접속된 다수의 검사 패드들로 구성된 검사 패드부를 구비하고; 정전기 방지 회로는 검사 패드들 각각에 접속된 것을 특징으로 한다.
- <56> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <57> 이하, 본 발명의 바람직한 실시예들을 도 6 내지 도 11b를 참조하여 상세하게 설명하기로 한다.
- <58> 도 6은 본 발명의 제1 실시 예에 따른 정전기 방지를 위한 액정패널의 검사패드부를 도시한 것이다.
- <59> 도 6에 도시된 검사 패드부는 다수개의 검사 패드들(62)과, 검사 패드들(62) 각각과 제1 및 제2 구동전압 공급라인(VDDL, VSSL) 사이에 접속된 제1 정전기 방지 회로(68)와, 검사 패드들(62) 각각과 쇼팅바(64) 사이에 접속된 제2 정전기 방지 회로(69)를 구비한다.



- <60> 검사 패드들(62)은 화상표시부(도시하지 않음)의 신호라인들과 접속된다. 이러한 검사 패드들(62)은 액정패널의 점등검사 등과 같은 검사과정에서 테스트신호를 인가함과 아울러 액정패널 안정화를 위한 에이징(Aging) 공정에서 바이어스 전압 인가하는데 이용된다.
- <61> 제1 정전기 방지 회로(68)는 검사 패드(62)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 제1 정전기 방지 회로(68)는 제1 구동전압 공급라인(VSSL)과 검사 패드(62)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(62)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 제1 정전기 방지 회로(68)는 검사 패드들(62)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 제1 정전기 방지 회로(62)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.
- <62> 제2 정전기 방지 회로(69)는 검사 패드(62)와 쇼팅바(64) 사이에 접속된다. 이러한 제2 정전기 방지 회로(69)는 검사 패드(62)를 통해 고전압의 정전기가 유입되는 경우 검사 패드(62)를 쇼팅바(64)와 접속시켜 다른 검사 패드들(62)과 함께 정전기에 대하여 등전위가 형성되게 한다. 이에 따라, 검사 패드(62)로 유입된 정전기를 등전위를 형성하는 쇼팅바(64) 쪽으로 바이패스된다. 이를 위하여, 제2 정전기 방지 회로(69)는 플로팅 상태의 게이트 단자와, 검사 패드(62)와 접속된 소스 단자와, 쇼팅바(64)와 접속된 드레인 단자를 구비하는 플로팅 게이트 박막트랜지스터(FTFT)와, 게이트 단자와 드레인 단자 사이에 접속된 제1 캐패시터(C1)와, 게이트 단자와 소스 단자 사이에 접속된 제2 캐패시터(C2)를 구비한다.

<63> 플로팅 게이트 박막트랜지스터(FTFT)에서 게이트 단자는 바이어스(Bias) 라인에 연결되지 않는 플로팅 상태를 유지함에 따라 소스 단자 또는 드레인 단자의 전압에 따라 변동된다. 다시 말하여, 플로팅 게이트 전압(V_g)은 다음 수학적 식 1과 같이 드레인-소스 간의 전압(V_{ds})과 비례관계를 갖게 되고, 그 비례정도는 제1 및 제2 캐패시터(C_1 , C_2) 용량에 따라 결정된다.

<64>
$$V_g = \frac{C_1}{C_1 + C_2} V_{ds}$$
 【수학적 식 1】

<65> 이에 따라, 검사 패드(62)를 통해 정전기가 유입되어 소스 단자에 고전압이 인가되는 경우 게이트 전압이 상승하여 플로팅 게이트 박막트랜지스터(FTFT)가 턴-온된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 도 7에 도시된 그래프의 A 및 C 영역과 같이 수백 V이상의 고전압이 인가되는 경우 채널 저항값이 현저하게 줄어들게 되어 턴-온된다. 이에 따라, 검사 패드(62)로 유입된 정전기가 턴-온된 플로팅 게이트 박막트랜지스터(FTFT)를 통해 쇼팅바(64) 쪽으로 바이패스된다.

<66> 이와 달리, 검사 패드(62)를 통해 정상 구동전압이 공급되는 경우 플로팅 게이트 박막트랜지스터(FTFT)는 턴-오프된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 도 7에 도시된 그래프의 B 영역과 같이 정상 구동전압($-20V < V_{ds} < 20V$)이 인가되는 경우 수 M Ω 수준의 채널저항을 유지하여 턴-오프된다. 이에 따라, 검사 패드(62)에 공급된 정상 구동전압이 화상표시부 쪽으로 공급될 수 있게 된다.

- <67> 이렇게, 도 5에 도시된 검사 패드부에서는 검사 패드(62)로 정전기가 유입되는 경우 제1 정전기 방지 회로(68) 및 제2 정전기 방지 회로(69)가 구동되어 정전기는 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 쪽으로 바이패스 됨과 아울러 쇼팅바(64) 쪽으로 바이패스되게 된다. 이에 따라, 검사 패드(62)를 통한 정전기가 액정패널 내부로 유입되는 것을 방지하여 정전기로부터 화상표시부를 보호할 수 있게 된다.
- <68> 특히, 검사 패드(62)는 일체로 제작된 다수의 액정패널들을 스크라이빙 라인(SCL)을 따라 개별적으로 분리해내는 스크라이빙 공정 이후에도 제2 정전기 방지 회로(69)를 통해 쇼팅바(64)에 연결된 구조를 가지게 된다. 이에 따라, 스크라이빙 공정 이후 검사 과정에서 검사 패드(62)를 통한 정전기 유입을 제1 및 제2 정전기 방지 회로(68, 69)에 의해 차단할 수 있게 된다.
- <69> 그리고 검사 패드(62)는 그라인딩 라인(GRL)을 따라 쇼팅바(64)를 제거하는 그라인딩 공정에서 제1 및 제2 정전기 방지 회로(68, 69)와 화상표시부의 신호라인들과 전기적으로 분리된다. 이를 위하여, 제1 및 제2 정전기 방지 회로(68, 69) 사이의 노드(N1)와 검사 패드(62)를 전기적으로 연결하는 연결라인(66)은 검사 패드(62)의 위쪽으로 신장된 다음 그라인딩 라인(GRL)의 바깥쪽에서 2번 절곡되고 아래쪽으로 신장되어서 검사 패드(62)의 아래에 위치하는 노드(N1)와 접속하게 된다. 이에 따라, 상기 연결라인(66)은 그라인딩 공정에 의해 개방됨으로써 검사 패드(62)가 화상표시부의 신호라인들과 전기적으로 분리됨과 아울러 제1 및 제2 정전기 방지 회로(68, 69)와 전기적으로 분리된다. 이렇게 검사 패드(62)가 전기적으로 분리됨으로써 그라인딩 공정 이후에 검사 패드(62)를 통한 정전기 유입은 차단된다.

- <70> 도 8a는 본 발명의 제2 실시 예에 따른 정전기 방지를 위한 액정패널의 검사패드부를 도시한 것이고, 도 8b는 그라인딩 공정 이후의 검사 패드부를 도시한 것이다.
- <71> 도 8a에 도시된 검사 패드부는 도 6에 도시된 검사 패드부와 대비하여 제1 및 제2 정전기 방지 회로(88, 89) 사이에 저항(R)이 추가된 것을 제외하고는 동일한 구성요소들을 구비한다.
- <72> 검사 패드들(82)은 화상표시부(도시하지 않음)의 신호라인들과 접속된다. 이러한 검사 패드들(82)은 액정패널의 점등검사 등과 같은 검사과정에서 테스트신호를 인가함과 아울러 액정패널 안정화를 위한 에이징(Aging) 공정에서 바이어스 전압 인가하는데 이용된다.
- <73> 제1 정전기 방지 회로(88)는 검사 패드(82)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 제1 정전기 방지 회로(88)는 제1 구동전압 공급라인(VSSL)과 검사 패드(82)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(82)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 제1 정전기 방지 회로(88)는 검사 패드들(82)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 제1 정전기 방지 회로(82)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.
- <74> 제2 정전기 방지 회로(89)는 검사 패드(82)와 쇼팅바(84) 사이에 접속된다. 이러한 제2 정전기 방지 회로(89)는 검사 패드(82)를 통해 고전압의 정전기가 유입되는 경우 검사 패드(82)를 쇼팅바(84)와 접속시켜 다른 검사 패드들(82)과 함께 정전기에 대하여 등전위가 형성되게 한다. 이에 따라, 검사 패드(82)로 유입된 정전기를 등전위를 형성

하는 쇼팅바(84) 쪽으로 바이패스된다. 이를 위하여, 제2 정전기 방지 회로(89)는 플로팅 상태의 게이트 단자와, 검사 패드(82)와 접속된 소스 단자와, 쇼팅바(84)와 접속된 드레인 단자를 구비하는 플로팅 게이트 박막트랜지스터(FTFT)와, 게이트 단자와 드레인 단자 사이에 접속된 제1 캐패시터(C1)와, 게이트 단자와 소스 단자 사이에 접속된 제2 캐패시터(C2)를 구비한다.

<75> 플로팅 게이트 박막트랜지스터(FTFT)에서 게이트 단자는 바이어스(Bias) 라인에 연결되지 않는 플로팅 상태를 유지함에 따라 소스 단자 또는 드레인 단자의 전압에 따라 변동된다. 다시 말하여, 플로팅 게이트 전압(V_g)은 상기 수학식 1과 같이 드레인-소스 간의 전압(V_{ds})과 비례관계를 갖게 되고, 그 비례정도는 제1 및 제2 캐패시터(C1, C2) 용량에 따라 결정된다.

<76> 이에 따라, 검사 패드(82)를 통해 정전기가 유입되어 소스 단자에 고전압이 인가되는 경우 게이트 전압이 상승하여 플로팅게이트 박막트랜지스터(FTFT)가 턴-온된다. 다시 말하여, 플로팅게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 수백 V이상의 고전압이 인가되는 경우 채널 저항값이 현저하게 줄어들게 되어 턴-온된다. 이에 따라, 검사 패드(82)로 유입된 정전기가 턴-온된 플로팅 게이트 박막트랜지스터(FTFT)를 통해 쇼팅바(84) 쪽으로 바이패스된다.

<77> 이와 달리, 검사 패드(82)를 통해 정상 구동전압이 공급되는 경우 플로팅 게이트 박막트랜지스터(FTFT)는 턴-오프된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})이 정상 구동전압($-20V < V_{ds} < 20V$)인 경우 수 $M\Omega$ 수준의 채널저항을 유지하여 턴-오프된다. 이에 따라, 검사 패드(82)에 공급된 정상 구동전압이 화상표시부 쪽으로 공급될 수 있게 된다.

- <78> 이렇게, 도 8a에 도시된 검사 패드부에서는 검사 패드(82)로 정전기가 유입되는 경우 제1 정전기 방지 회로(88) 및 제2 정전기 방지 회로(89)가 구동되어 정전기는 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 쪽으로 바이패스 됨과 아울러 쇼팅바(84) 쪽으로 바이패스되게 된다. 이에 따라, 검사 패드(82)를 통한 정전기가 액정패널 내부로 유입되는 것을 방지하여 정전기로부터 화상표시부를 보호할 수 있게 된다.
- <79> 제1 및 제2 정전기 방지 회로(88, 89) 사이에 접속된 저항(R)은 전류를 제한한다. 이에 따라, 검사 패드(82)로 유입된 정전기가 제1 및 제2 정전기 방지 회로(88, 89)를 통해 완전히 바이패스되지 않고 화상표시부 쪽으로 유입되는 경우 전류 제한용 저항(R)에 의해 정전기로 인한 화상표시부의 영향을 최소화할 수 있게 된다. 여기서, 전류제한용 저항(R)은 $10k\Omega \sim 1M\Omega$ 범위의 저항값을 갖는 것이 바람직하다.
- <80> 검사 패드(82)는 일체로 제작된 다수의 액정패널들을 스크라이빙 라인(SCL)을 따라 개별적으로 분리해내는 스크라이빙 공정 이후에도 제2 정전기 방지 회로(89)를 통해 쇼팅바(84)에 연결된 구조를 가지게 된다. 이에 따라, 스크라이빙 공정 이후 검사과정에 서도 검사 패드(82)를 통한 정전기 유입을 제1 및 제2 정전기 방지 회로(88, 89)에 의해 차단할 수 있게 된다.
- <81> 그리고 검사 패드(82)는 그라인딩 라인(GRL)을 따라 쇼팅바(84)를 제거하는 그라인딩 공정에서 도 8b에 도시된 바와 같이 제1 및 제2 정전기 방지 회로(88, 89)와 화상표시부의 신호라인들과 전기적으로 분리된다. 이를 위하여, 제1 및 제2 정전기 방지 회로(88, 89) 사이의 노드(N1)와 검사 패드(82)를 전기적으로 연결하는 연결라인(86)은 검사 패드(82)의 위쪽으로 신장된 다음 그라인딩 라인(GRL)의 바깥쪽에서 2번 절곡되고 아래쪽으로 신장되어서 검사 패드(82)의 아래에 위치하는 노드(N1)와 접속하게 된다.

이에 따라, 상기 연결라인(86)은 그라인딩 공정에 의해 개방됨으로써 검사 패드(82)가 화상표시부의 신호라인들과 전기적으로 분리됨과 아울러 제1 및 제2 정전기 방지 회로(88, 89)와 전기적으로 분리된다. 이렇게 검사 패드(82)가 전기적으로 분리됨으로써 그라인딩 공정 이후에 검사 패드(82)를 통한 액정패널 내부로의 정전기 유입은 차단된다.

<82> 도 9는 본 발명의 제3 실시 예에 따른 정전기 방지를 위한 액정패널의 검사패드부를 도시한 것이다.

<83> 도 9에 도시된 검사 패드부는 도 8a에 도시된 검사 패드부와 대비하여 전류제한용 저항(R)의 형성위치가 제1 정전기 방지 회로(98)와 화상표시부의 신호라인(도시하지 않음) 사이로 변경된 것을 제외하고는 동일한 구성요소들을 구비한다.

<84> 검사 패드들(92)은 화상표시부(도시하지 않음)의 신호라인들과 접속된다. 이러한 검사 패드들(92)은 액정패널의 점등검사 등과 같은 검사과정에서 테스트신호를 인가함과 아울러 액정패널 안정화를 위한 에이징(Aging) 공정에서 바이어스 전압 인가하는데 이용된다.

<85> 제1 정전기 방지 회로(98)는 검사 패드(92)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 제1 정전기 방지 회로(98)는 제1 구동전압 공급라인(VSSL)과 검사 패드(92)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(92)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 제1 정전기 방지 회로(98)는 검사 패드들(92)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL,

VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 제1 정전기 방지 회로(92)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.

<86> 제2 정전기 방지 회로(99)는 검사 패드(92)와 쇼팅바(94) 사이에 접속된다. 이러한 제2 정전기 방지 회로(99)는 검사 패드(92)를 통해 고전압의 정전기가 유입되는 경우 검사 패드(92)를 쇼팅바(94)와 접속시켜 다른 검사 패드들(92)과 함께 정전기에 대하여 등전위가 형성되게 한다. 이에 따라, 검사 패드(92)로 유입된 정전기를 등전위를 형성하는 쇼팅바(94) 쪽으로 바이패스된다. 이를 위하여, 제2 정전기 방지 회로(99)는 플로팅 상태의 게이트 단자와, 검사 패드(92)와 접속된 소스 단자와, 쇼팅바(94)와 접속된 드레인 단자를 구비하는 플로팅 게이트 박막트랜지스터(FTFT)와, 게이트 단자와 드레인 단자 사이에 접속된 제1 캐패시터(C1)와, 게이트 단자와 소스 단자 사이에 접속된 제2 캐패시터(C2)를 구비한다.

<87> 플로팅 게이트 박막트랜지스터(FTFT)에서 게이트 단자는 바이어스(Bias) 라인에 연결되지 않는 플로팅 상태를 유지함에 따라 소스 단자 또는 드레인 단자의 전압에 따라 변동된다. 다시 말하여, 플로팅 게이트 전압(V_g)은 상기 수학식 1과 같이 드레인-소스 간의 전압(V_{ds})과 비례관계를 갖게 되고, 그 비례정도는 제1 및 제2 캐패시터(C1, C2) 용량에 따라 결정된다.

<88> 이에 따라, 검사 패드(92)를 통해 정전기가 유입되어 소스 단자에 고전압이 인가되는 경우 게이트 전압이 상승하여 플로팅게이트 박막트랜지스터(FTFT)가 턴-온된다. 다시 말하여, 플로팅게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 수백 V이상의 고전압이 인가되는 경우 채널 저항값이 현저하게 줄어들게 되어 턴-온된다.

이에 따라, 검사 패드(92)로 유입된 정전기가 턴-온된 플로팅 게이트 박막트랜지스터 (FTFT)를 통해 쇼팅바(94) 쪽으로 바이패스된다.

<89> 이와 달리, 검사 패드(92)를 통해 정상 구동전압이 공급되는 경우 플로팅 게이트 박막트랜지스터(FTFT)는 턴-오프된다. 다시 말하여, 플로팅 게이트 박막트랜지스터 (FTFT)는 드레인-소스 간의 전압(V_{ds})이 정상 구동전압($-20V < V_{ds} < 20V$)인 경우 수 $M\Omega$ 수준의 채널저항을 유지하여 턴-오프된다. 이에 따라, 검사 패드(92)에 공급된 정상 구동 전압이 화상표시부 쪽으로 공급될 수 있게 된다.

<90> 이렇게, 도 9에 도시된 검사 패드부에서는 검사 패드(92)로 정전기가 유입되는 경우 제1 정전기 방지 회로(98) 및 제2 정전기 방지 회로(99)가 구동되어 정전기는 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 쪽으로 바이패스 됨과 아울러 쇼팅바(94) 쪽으로 바이패스되게 된다. 이에 따라, 검사 패드(92)를 통한 정전기가 액정패널 내부로 유입 되는 것을 방지하여 정전기로부터 화상표시부를 보호할 수 있게 된다.

<91> 제2 정전기 방지 회로(99)와 화상표시부의 신호라인 사이에 접속된 저항(R)은 전류를 제한한다. 이에 따라, 검사 패드(92)로 유입된 정전기가 제1 및 제2 정전기 방지 회로(98, 99)를 통해 완전히 바이패스되지 않고 화상표시부 쪽으로 유입되는 경우 전류 제한용 저항(R)에 의해 정전기로 인한 화상표시부의 영향을 최소화할 수 있게 된다. 여기서, 전류제한용 저항(R)은 $10k\Omega \sim 1M\Omega$ 범위의 저항값을 갖는 것이 바람직하다. 이러한 전류 제한용 저항(R)을 제1 및 제2 정전기 방지 회로(98, 99) 사이에 더 추가하는 경우 화상표시부에 대한 정전기 영향을 더욱 최소화할 수 있다.

<92> 검사 패드(92)는 일체로 제작된 다수의 액정패널들을 스크라이빙 라인(SCL)을 따라 개별적으로 분리해내는 스크라이빙 공정 이후에도 제2 정전기 방지 회로(99)를 통해 쇼

팅바(94)에 연결된 구조를 가지게 된다. 이에 따라, 스크라이빙 공정 이후 검사과정에 서도 검사 패드(92)를 통한 정전기 유입을 제1 및 제2 정전기 방지 회로(98, 99)에 의해 차단할 수 있게 된다.

<93> 그리고 검사 패드(92)는 그라인딩 라인(GRL)을 따라 쇼팅바(94)를 제거하는 그라인딩 공정에서 제1 및 제2 정전기 방지 회로(98, 99)와 화상표시부의 신호라인들과 전기적으로 분리된다. 이를 위하여, 제1 및 제2 정전기 방지 회로(98, 99) 사이의 노드(N1)와 검사 패드(92)를 전기적으로 연결하는 연결라인(96)은 검사 패드(92)의 위쪽으로 신장된 다음 그라인딩 라인(GRL)의 바깥쪽에서 2번 절곡되고 아래쪽으로 신장되어서 검사 패드(92)의 아래에 위치하는 노드(N1)와 접속하게 된다. 이에 따라, 상기 연결라인(96)은 그라인딩 공정에 의해 개방됨으로써 검사 패드(92)가 화상표시부의 신호라인들과 전기적으로 분리됨과 아울러 제1 및 제2 정전기 방지 회로(98, 99)와 전기적으로 분리된다. 이렇게 검사 패드(92)가 전기적으로 분리됨으로써 그라인딩 공정 이후에 검사 패드(92)를 통한 액정패널 내부로의 정전기 유입은 차단된다.

<94> 도 10은 본 발명의 제4 실시 예에 따른 정전기 방지를 위한 액정패널의 검사패드부를 도시한 것이다.

<95> 도 10에 도시된 검사 패드부는 도 6에 도시된 검사 패드부와 대비하여 검사 패드(102)가 제2 정전기 방지 회로(109) 이외에도 저항(R)을 통해 쇼팅바(104)와 접속된 것을 제외하고는 동일한 구성요소들을 구비한다.

<96> 검사 패드들(102)은 화상표시부(도시하지 않음)의 신호라인들과 접속된다. 이러한 검사 패드들(102)은 액정패널의 점등검사 등과 같은 검사과정에서 테스트신호를 인가함

과 아울러 액정패널 안정화를 위한 에이징(Aging) 공정에서 바이어스 전압 인가하는데 이용된다.

<97> 제1 정전기 방지 회로(108)는 검사 패드(102)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 제1 정전기 방지 회로(108)는 제1 구동전압 공급라인(VSSL)과 검사 패드(102)의 출력단 사이에 접속된 제1 다이오드(D1)와, 검사 패드(102)의 출력단과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 제1 정전기 방지 회로(108)는 검사 패드들(102)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 제1 정전기 방지 회로(102)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.

<98> 제2 정전기 방지 회로(109)는 검사 패드(102)와 쇼팅바(104) 사이에 접속된다. 이러한 제2 정전기 방지 회로(109)는 검사 패드(102)를 통해 고전압의 정전기가 유입되는 경우 검사 패드(102)를 쇼팅바(104)와 접속시켜 다른 검사 패드들(102)과 함께 정전기에 대하여 등전위가 형성되게 한다. 이에 따라, 검사 패드(102)로 유입된 정전기를 등전위를 형성하는 쇼팅바(104) 쪽으로 바이패스된다. 이를 위하여, 제2 정전기 방지 회로(109)는 플로팅 상태의 게이트 단자와, 검사 패드(102)와 접속된 소스 단자와, 쇼팅바(104)와 접속된 드레인 단자를 구비하는 플로팅 게이트 박막트랜지스터(FTFT)와, 게이트 단자와 드레인 단자 사이에 접속된 제1 캐패시터(C1)와, 게이트 단자와 소스 단자 사이에 접속된 제2 캐패시터(C2)를 구비한다.

<99> 플로팅 게이트 박막트랜지스터(FTFT)에서 게이트 단자는 바이어스(Bias) 라인에 연결되지 않는 플로팅 상태를 유지함에 따라 소스 단자 또는 드레인 단자의 전압에 따라

변동된다. 다시 말하여, 플로팅 게이트 전압(V_g)은 상기 수학식 1과 같이 드레인-소스 간의 전압(V_{ds})과 비례관계를 갖게 되고, 그 비례정도는 제1 및 제2 캐패시터(C_1 , C_2) 용량에 따라 결정된다.

<100> 이에 따라, 검사 패드(102)를 통해 정전기가 유입되어 소스 단자에 고전압이 인가되는 경우 게이트 전압이 상승하여 플로팅 게이트 박막트랜지스터(FTFT)가 턴-온된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 수백 V 이상의 고전압이 인가되는 경우 채널 저항값이 현저하게 줄어들게 되어 턴-온된다. 이에 따라, 검사 패드(102)로 유입된 정전기가 턴-온된 플로팅 게이트 박막트랜지스터(FTFT)를 통해 쇼팅바(104) 쪽으로 바이패스된다. 이와 더불어, 검사 패드(102)로 유입된 정전기는 저항(R)을 통해서도 쇼팅바(104)로 바이패스됨으로써 정전기는 보다 신속하게 바이패스될 수 있게 된다.

<101> 이와 달리, 검사 패드(102)를 통해 정상 구동전압이 공급되는 경우 플로팅 게이트 박막트랜지스터(FTFT)는 턴-오프된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})이 정상 구동전압($-20V < V_{ds} < 20V$)인 경우 수 $M\Omega$ 수준의 채널저항을 유지하여 턴-오프된다. 이에 따라, 검사 패드(102)에 공급된 정상 구동전압이 화상표시부 쪽으로 공급될 수 있게 된다.

<102> 이렇게, 도 10에 도시된 검사 패드부에서는 검사 패드(102)로 정전기가 유입되는 경우 제1 정전기 방지 회로(108) 및 제2 정전기 방지 회로(109)가 구동되어 정전기는 제1 및 제2 구동전압 공급라인(V_{SSL} , V_{DDL}) 쪽으로 바이패스 됨과 아울러 쇼팅바(104) 쪽으로 바이패스 된다. 또한, 검사 패드(102)로 유입된 정전기는 저항(R)을 경유하여 쇼



팅바(104)로 바이패스 된다. 이에 따라, 검사 패드(102)를 통한 정전기가 액정패널 내부로 유입되는 것을 방지하여 정전기로부터 화상표시부를 보호할 수 있게 된다.

<103> 검사 패드(102)는 일체로 제작된 다수의 액정패널들을 스크라이빙 라인(SCL)을 따라 개별적으로 분리해내는 스크라이빙 공정 이후에도 제2 정전기 방지 회로(109) 및 저항(R)을 통해 쇼팅바(104)에 연결된 구조를 가지게 된다. 이에 따라, 스크라이빙 공정 이후 검사과정에서도 검사 패드(102)를 통한 정전기 유입을 제1 및 제2 정전기 방지 회로(108, 109)에 의해 차단할 수 있게 된다.

<104> 그리고 검사 패드(102)는 그라인딩 라인(GRL)을 따라 쇼팅바(104)를 제거하는 그라인딩 공정에서 제1 및 제2 정전기 방지 회로(108, 109)와 화상표시부의 신호라인들과 전기적으로 분리된다. 이를 위하여, 제1 및 제2 정전기 방지 회로(108, 109) 사이의 노드(N1)와 검사 패드(102)를 전기적으로 연결하는 연결라인(106)은 그라인딩 라인(GRL)의 바깥쪽에서 검사 패드(102)로부터 신장되어 검사 패드(102)의 아래에 위치하는 노드(N1)와 접속하게 된다. 이에 따라, 상기 연결라인(106)은 그라인딩 공정에 의해 개방됨으로써 검사 패드(102)가 화상표시부의 신호라인들과 전기적으로 분리됨과 아울러 제1 및 제2 정전기 방지 회로(108, 109)와 전기적으로 분리된다. 이렇게 검사 패드(102)가 전기적으로 분리됨으로써 그라인딩 공정 이후에 검사 패드(102)를 통한 액정패널 내부로의 정전기 유입은 차단된다.

<105> 도 11a는 본 발명의 제5 실시 예에 따른 정전기 방지를 위한 액정패널의 검사패드부를 도시한 것이고, 도 11b는 그라인딩 공정 이후의 검사 패드부를 도시한 것이다.

- <106> 도 11a에 도시된 검사 패드부는 도 8a에 도시된 검사 패드부와 대비하여 제1 및 제2 정전기 방지 회로(118, 119)가 서로 다른 연결라인(115, 116)을 통해 검사 패드(112)와 접속된 것을 제외하고는 동일한 구성요소들을 구비한다.
- <107> 검사 패드들(112)은 화상표시부(도시하지 않음)의 신호라인들과 접속된다. 이러한 검사 패드들(112)은 액정패널의 점등검사 등과 같은 검사과정에서 테스트신호를 인가함과 아울러 액정패널 안정화를 위한 에이징(Aging) 공정에서 바이어스 전압 인가하는데 이용된다.
- <108> 제1 정전기 방지 회로(118)는 검사 패드(112)와 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 사이에 접속된다. 구체적으로, 제1 정전기 방지 회로(118)는 검사 패드(112)에 접속된 제1 연결라인(115)과 제1 구동전압 공급라인(VSSL) 사이에 접속된 제1 다이오드(D1)와, 검사 패드(112)에 접속된 제1 연결라인(115)과 제2 구동전압 공급라인(VDDL) 사이에 접속된 제2 다이오드(D2)로 구성된다. 이러한 제1 정전기 방지 회로(118)는 검사 패드들(112)을 통해 정전기가 유입되는 경우 구동되어 액정패널 내부로 정전기가 유입되지 않고 제1 및 제2 구동전압 공급라인(VDDL, VSSL)을 경유하여 바이패스되게 한다. 이에 따라, 제1 정전기 방지 회로(118)는 액정패널 내부의 화상표시부를 정전기로부터 보호하게 된다.
- <109> 제2 정전기 방지 회로(119)는 검사 패드(112)와 쇼팅바(114) 사이에 접속된다. 이러한 제2 정전기 방지 회로(119)는 검사 패드(112)를 통해 고전압의 정전기가 유입되는 경우 검사 패드(112)를 쇼팅바(114)와 접속시켜 다른 검사 패드들(112)과 함께 정전기에 대하여 등전위가 형성되게 한다. 이에 따라, 검사 패드(112)로 유입된 정전기를 등전위를 형성하는 쇼팅바(114) 쪽으로 바이패스된다. 이를 위하여, 제2 정전기 방지 회로

(119)는 플로팅 상태의 게이트 단자와, 검사 패드(112)와 제2 연결라인(116)을 통해 접속된 소스 단자와, 쇼팅바(114)와 접속된 드레인 단자를 구비하는 플로팅 게이트 박막트랜지스터(FTFT)와, 게이트 단자와 드레인 단자 사이에 접속된 제1 캐패시터(C1)와, 게이트 단자와 소스 단자 사이에 접속된 제2 캐패시터(C2)를 구비한다.

<110> 플로팅 게이트 박막트랜지스터(FTFT)에서 게이트 단자는 바이어스(Bias) 라인에 연결되지 않는 플로팅 상태를 유지함에 따라 소스 단자 또는 드레인 단자의 전압에 따라 변동된다. 다시 말하여, 플로팅 게이트 전압(V_g)은 상기 수학식 1과 같이 드레인-소스 간의 전압(V_{ds})과 비례관계를 갖게 되고, 그 비례정도는 제1 및 제2 캐패시터(C1, C2) 용량에 따라 결정된다.

<111> 이에 따라, 검사 패드(112)를 통해 정전기가 유입되어 소스 단자에 고전압이 인가되는 경우 게이트 전압이 상승하여 플로팅 게이트 박막트랜지스터(FTFT)가 턴-온된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})으로 수백 V 이상의 고전압이 인가되는 경우 채널 저항값이 현저하게 줄어들게 되어 턴-온된다. 이에 따라, 검사 패드(112)로 유입된 정전기가 턴-온된 플로팅 게이트 박막트랜지스터(FTFT)를 통해 쇼팅바(114) 쪽으로 바이패스된다.

<112> 이와 달리, 검사 패드(112)를 통해 정상 구동전압이 공급되는 경우 플로팅 게이트 박막트랜지스터(FTFT)는 턴-오프된다. 다시 말하여, 플로팅 게이트 박막트랜지스터(FTFT)는 드레인-소스 간의 전압(V_{ds})이 정상 구동전압($-20V < V_{ds} < 20V$)인 경우 수 $M\Omega$ 수준의 채널저항을 유지하여 턴-오프된다. 이에 따라, 검사 패드(112)에 공급된 정상 구동전압이 화상표시부 쪽으로 공급될 수 있게 된다.

- <113> 이렇게, 도 11a에 도시된 검사 패드부에서는 검사 패드(112)로 정전기가 유입되는 경우 제1 정전기 방지 회로(118) 및 제2 정전기 방지 회로(119)가 구동되어 정전기는 제1 및 제2 구동전압 공급라인(VSSL, VDDL) 쪽으로 바이패스 됨과 아울러 쇼팅바(114) 쪽으로 바이패스되게 된다. 이에 따라, 검사 패드(112)를 통한 정전기가 액정패널 내부로 유입되는 것을 방지하여 정전기로부터 화상표시부를 보호할 수 있게 된다.
- <114> 검사 패드(112)와 제1 정전기 방지 회로(118) 사이에 접속된 저항(R)은 전류를 제한한다. 이에 따라, 검사 패드(112)로 유입된 정전기가 제1 및 제2 정전기 방지 회로(118, 119)를 통해 완전히 바이패스되지 않고 화상표시부 쪽으로 유입되는 경우 전류 제한용 저항(R)에 의해 정전기로 인한 화상표시부의 영향을 최소화할 수 있게 된다. 여기서, 전류제한용 저항(R)은 $10k\Omega \sim 1M\Omega$ 범위의 저항값을 갖는 것이 바람직하다.
- <115> 검사 패드(112)는 일체로 제작된 다수의 액정패널들을 스크라이빙 라인(SCL)을 따라 개별적으로 분리해내는 스크라이빙 공정 이후에도 제2 정전기 방지 회로(119)를 통해 쇼팅바(114)에 연결된 구조를 가지게 된다. 이에 따라, 스크라이빙 공정 이후 검사과정에서도 검사 패드(112)를 통한 정전기 유입을 제1 및 제2 정전기 방지 회로(118, 119)에 의해 차단할 수 있게 된다.
- <116> 그리고 검사 패드(112)는 그라인딩 라인(GRL)을 따라 쇼팅바(114)를 제거하는 그라인딩 공정에서 도 11b에 도시된 바와 같이 제1 및 제2 정전기 방지 회로(118, 119)와, 화상표시부의 신호라인들(도시하지 않음)과 전기적으로 분리된다. 이를 위하여, 제1 정전기 방지 회로(118)과 검사 패드(115)를 연결시키는 제1 연결라인(115)은 검사 패드(112)의 위쪽으로 신장된 다음 그라인딩 라인(GRL)의 바깥쪽에서 절곡되고 아래쪽으로 신장되어 검사 패드(112)의 아래에 위치하는 제1 정전기 방지 회로(118)와 접속하게 된

다. 제2 정전기 방지 회로(119)와 검사 패드(112)를 연결시키는 제2 연결라인(116)은 검사 패드(112)의 위쪽으로 신장된 다음 그라인딩 라인(GRL)의 바깥쪽에서 절곡되고 아래쪽으로 신장되어 검사 패드(112)의 아래에 위치하는 제2 정전기 방지 회로(119)와 접촉하게 된다. 이에 따라, 제1 및 제2 연결라인(115, 116)은 그라인딩 공정에 의해 개방됨으로써 검사 패드(112)가 화상표시부의 신호라인들과 전기적으로 분리됨과 아울러 제1 및 제2 정전기 방지 회로(118, 119)와 전기적으로 분리된다. 이렇게 검사 패드(112)가 전기적으로 분리됨으로써 그라인딩 공정 이후에 검사 패드(112)를 통한 액정패널 내부로의 정전기 유입은 차단된다.

【발명의 효과】

<117> 상술한 바와 같이, 본 발명에 따른 정전기 방지를 위한 액정패널은 패드부로 정전기가 유입되는 경우 제1 정전기 방지 회로와, 플로팅 게이트 박막트랜지스터를 포함하는 제2 정전기 방지 회로를 구동시킨다. 이에 따라, 패드로 유입된 정전기가 제1 및 제2 구동전압 공급라인 쪽으로 바이패스됨과 아울러 등전위를 형성하는 쇼팅바 쪽으로 바이패스되게 함으로써 정전기가 패널 내부로 유입되어 화상표시부를 손상시키는 것을 방지할 수 있게 된다.

<118> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

다수의 액정셀들로 구성된 화상표시부와;

화상표시부의 신호라인들에 입력된 구동신호를 공급하는 신호 패드부를 구비하고,

상기 패드부는

상기 신호라인들과 접속된 다수의 패드들과;

플로팅게이트를 갖는 박막트랜지스터를 포함하여 상기 패드로 유입된 정전기에 의해 상기 패드들을 쇼팅바와 접속시켜 상기 패드들이 상기 정전기에 대하여 등전위를 형성하게 하는 정전기 방지 회로를 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정 패널.

【청구항 2】

제 1 항에 있어서,

상기 정전기 방지 회로는

상기 패드에 정상적인 구동신호가 공급되면 그 패드를 쇼팅바 및 다른 패드들과 절연되게 하여 상기 화상표시부의 신호라인들로 공급되게 하는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 3】

제 1 항에 있어서,

상기 정전기 방지 회로는

상기 쇼팅바와 접속된 상기 박막트랜지스터의 제1 단자와 상기 플로팅 게이트 사이에 접속된 제1 캐패시터와;

상기 패드와 접속된 상기 박막트랜지스터의 제2 단자와 상기 플로팅 게이트 사이에 접속된 제2 캐패시터를 추가로 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정 패널.

【청구항 4】

제 1 항에 있어서,

상기 패드와 제1 및 제2 구동전압 공급라인 사이에 형성되어 상기 패드로 유입되는 정전기를 상기 제1 및 제2 구동전압 공급라인 쪽으로 바이패스시키는 제2 정전기 방지 회로를 추가로 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 5】

제 5 항에 있어서,

상기 패드는 상기 패드로부터 상기 쇼팅바 제거를 위한 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 상기 패드 아래쪽으로 신장된 연결라인을 통해 상기 정전기 방지 회로와 상기 제2 정전기 방지 회로 사이의 노드와 접속된 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 6】

제 5 항에 있어서,

상기 패드는

상기 패드로부터 상기 쇼팅바 제거를 위한 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 상기 패드 아래쪽으로 신장된 제1 연결라인을 통해 상기 정전기 방지 회로와 접속되고;

상기 패드로부터 상기 그라인딩 라인 바깥쪽으로 신장되어 적어도 한번 절곡된 다음 상기 패드 아래쪽으로 신장된 제2 연결라인을 통해 상기 제2 정전기 방지 회로와 접속된 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 7】

제 6 항 및 제 7 항 중 어느 한 항에 있어서,

상기 패드는 상기 쇼팅바를 제거하는 그라인딩 공정에 의해 상기 정전기 방지 회로 및 제2 정전기 방지 회로 그리고 상기 화상표시부의 신호라인과 전기적으로 분리되는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 8】

제 6 항에 있어서,

상기 노드와 상기 화상표시부의 신호라인들 사이에 접속되어 전류를 제한하는 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 9】

제 7 항에 있어서,

상기 제2 연결라인과 상기 화상표시부의 신호라인들 사이에 접속되어 전류를 제한하는 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 10】

제 1 항에 있어서,

상기 패드와 상기 쇼팅바 사이에 접속된 적어도 하나의 저항을 추가로 구비하는 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【청구항 11】

제 1 항에 있어서,

상기 패드부는

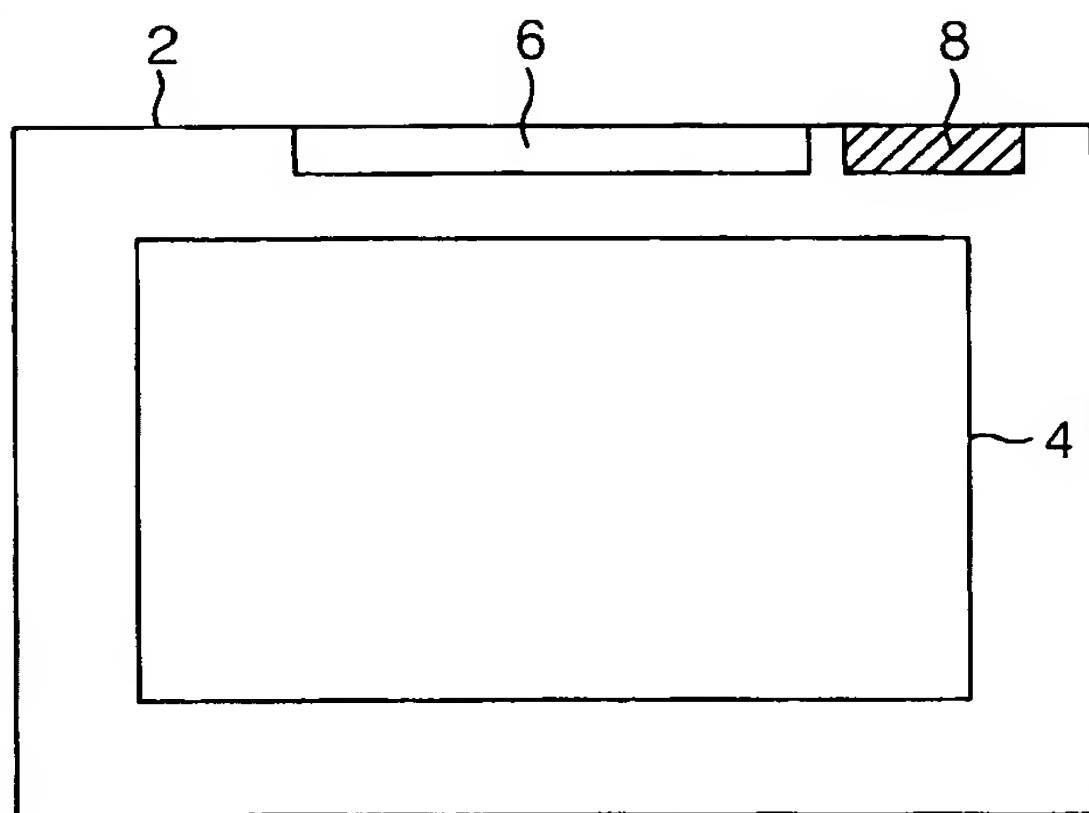
상기 화상표시부의 신호라인들과 외부의 구동회로를 연결시키는 다수의 연결패드들로 구성된 연결 패드부와;

상기 액정패널 검사를 위하여 상기 화상표시부의 신호라인들과 접속된 다수의 검사 패드들로 구성된 검사 패드부를 구비하고;

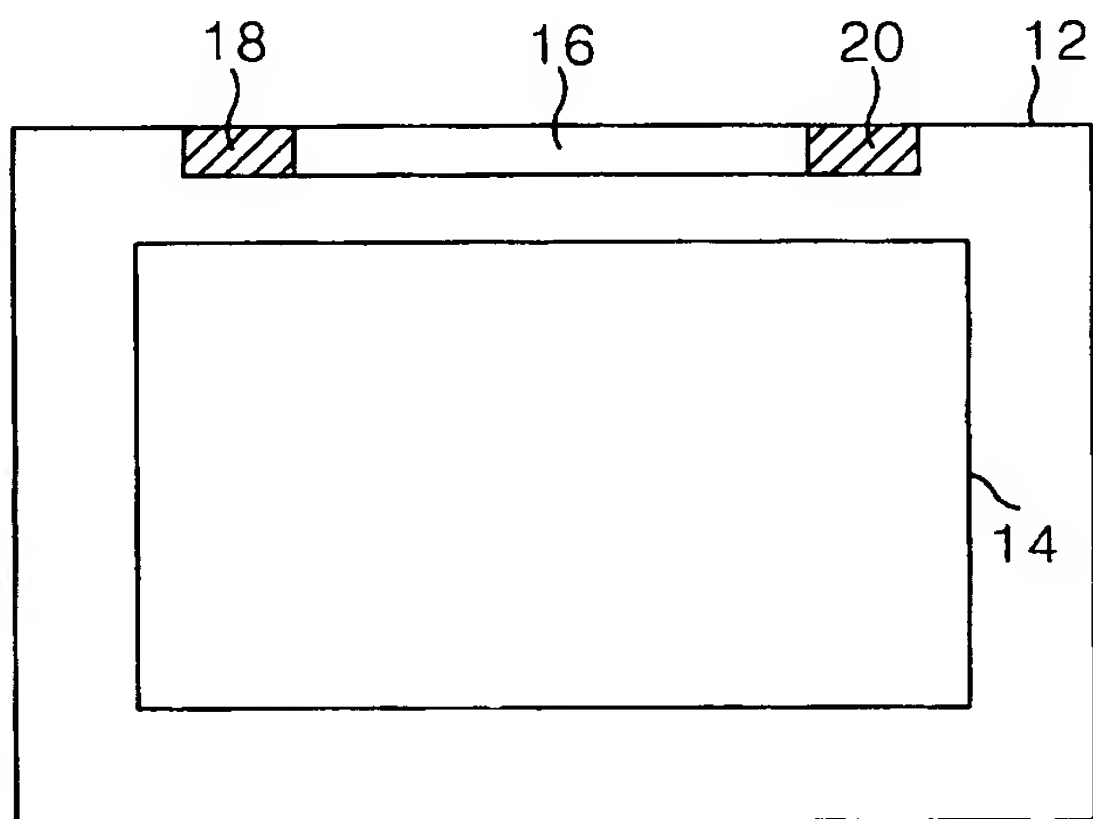
상기 정전기 방지 회로는 상기 검사 패드들 각각에 접속된 것을 특징으로 하는 정전기 방지를 위한 액정패널.

【도면】

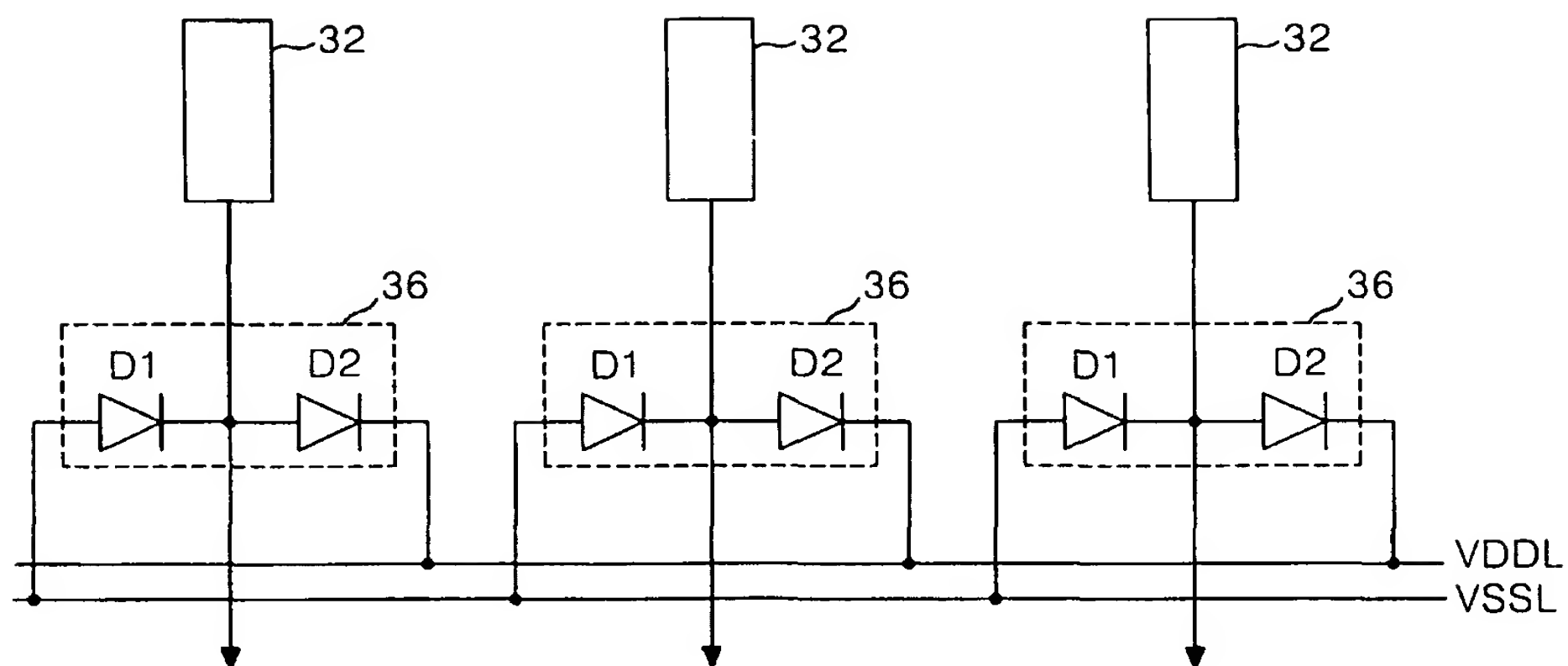
【도 1】



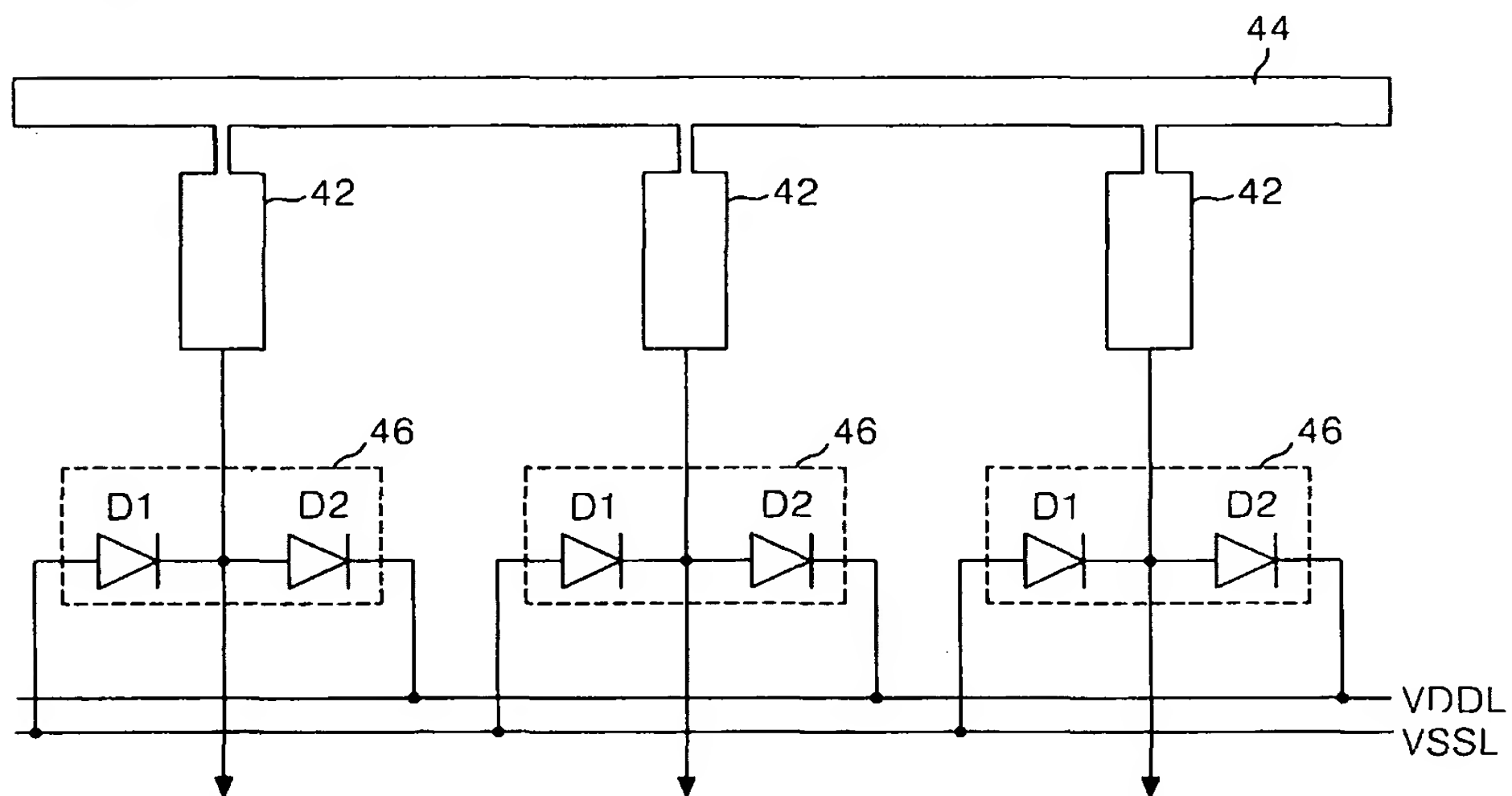
【도 2】



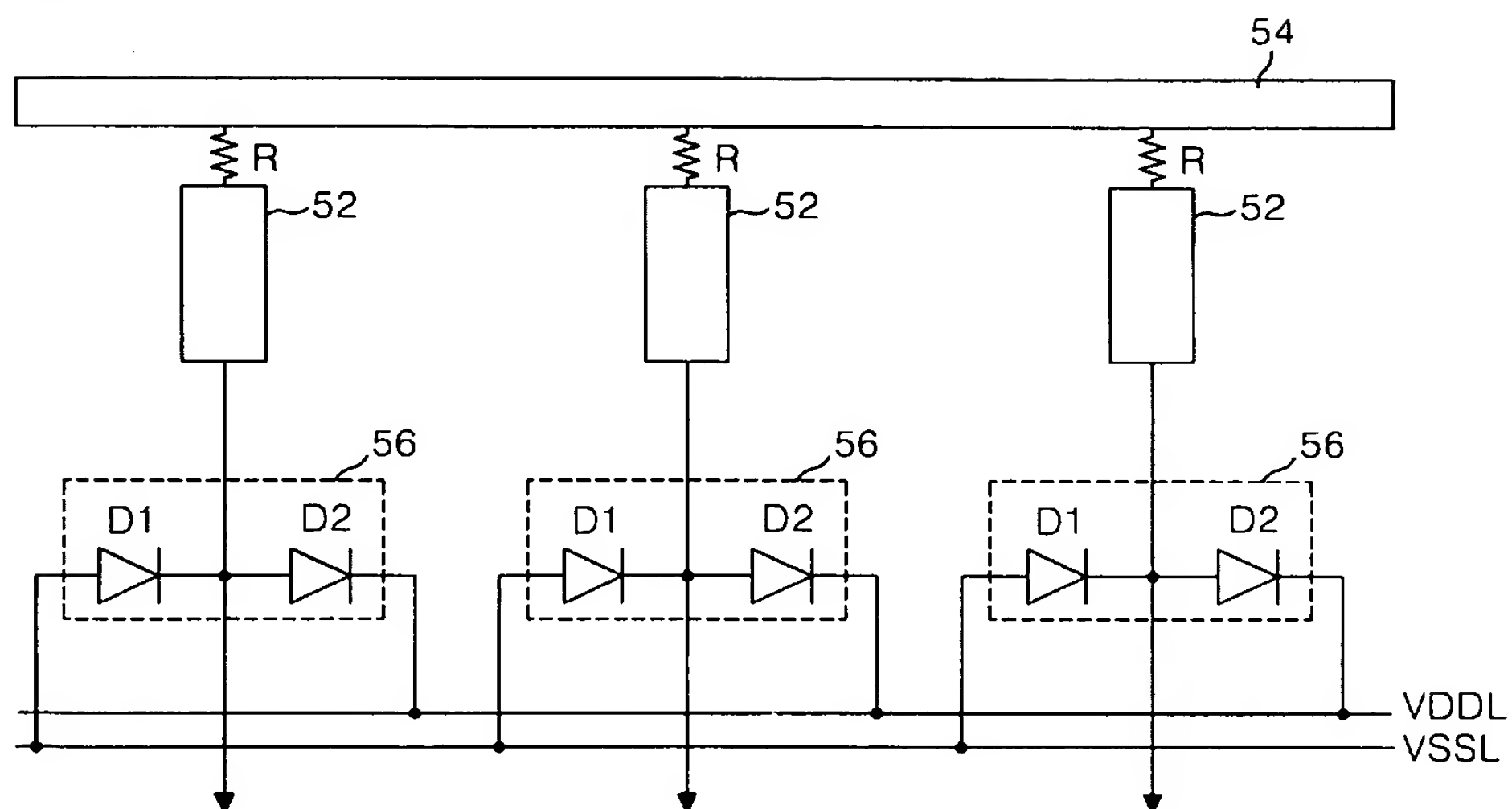
【도 3】



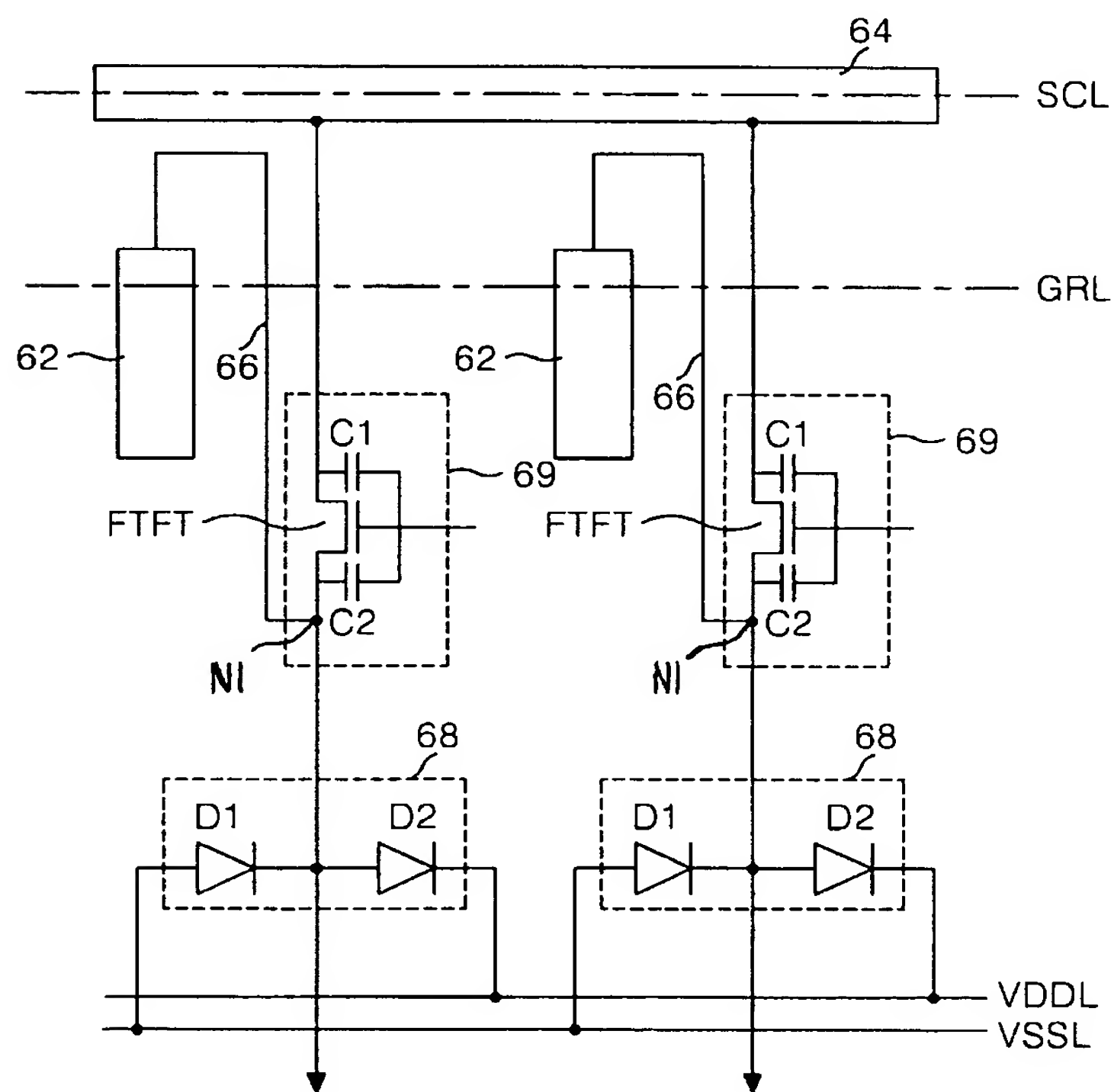
【도 4】



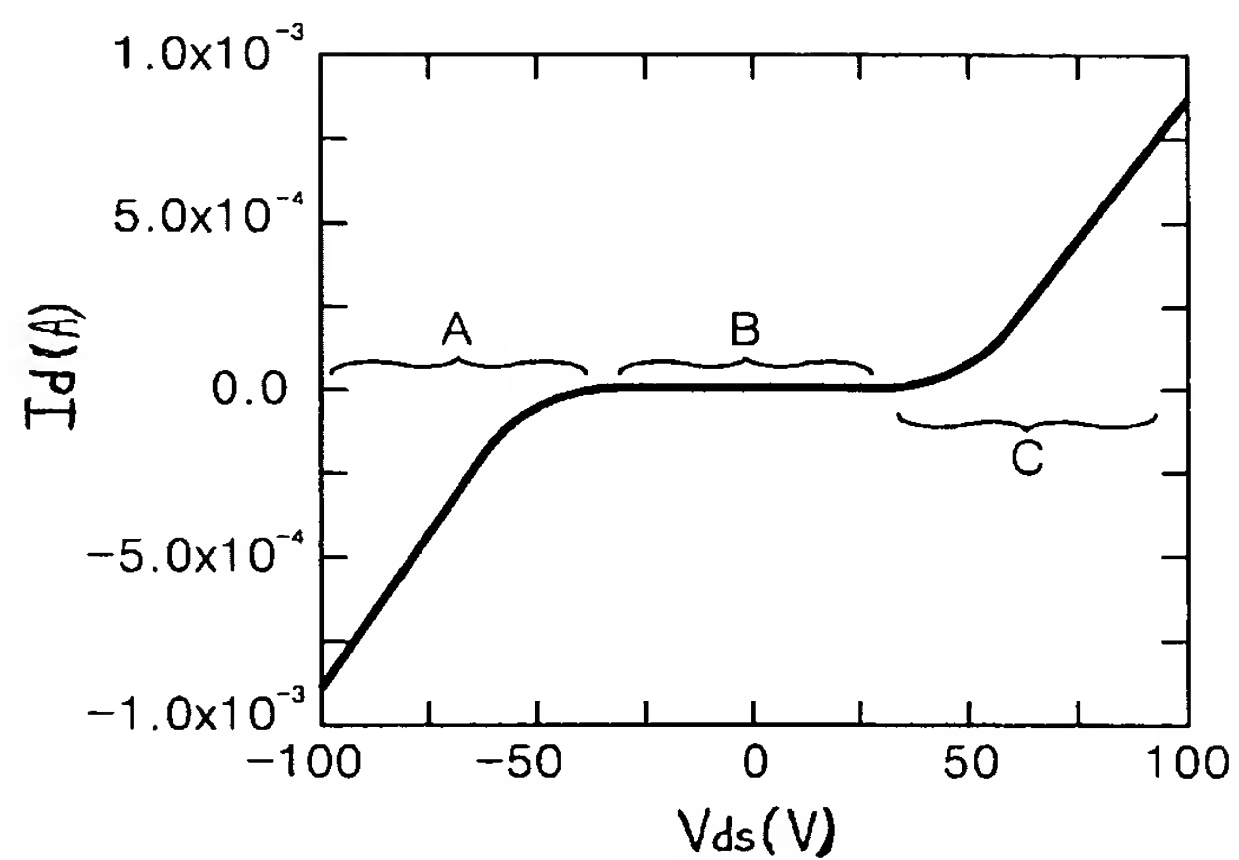
【도 5】



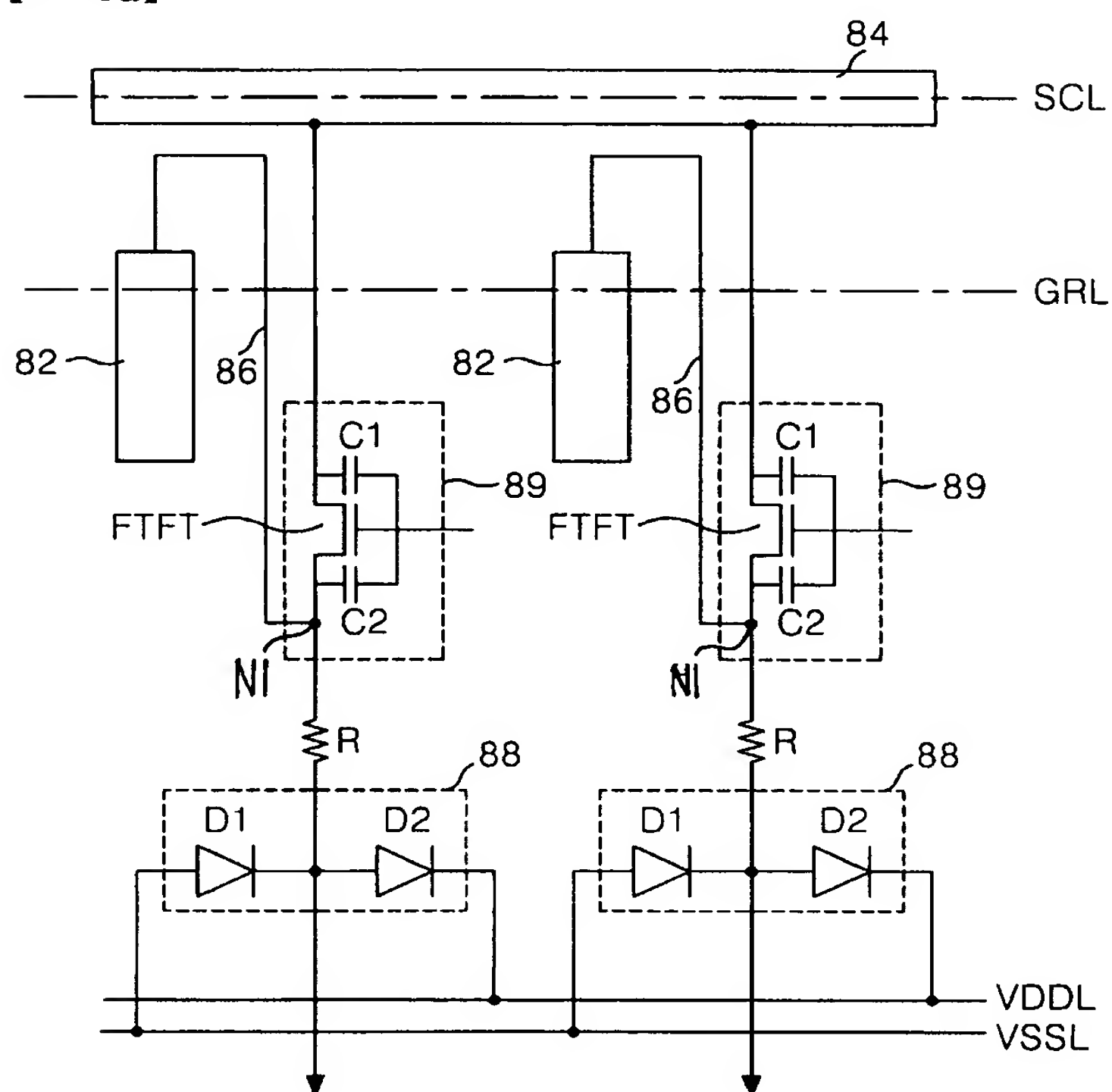
【도 6】



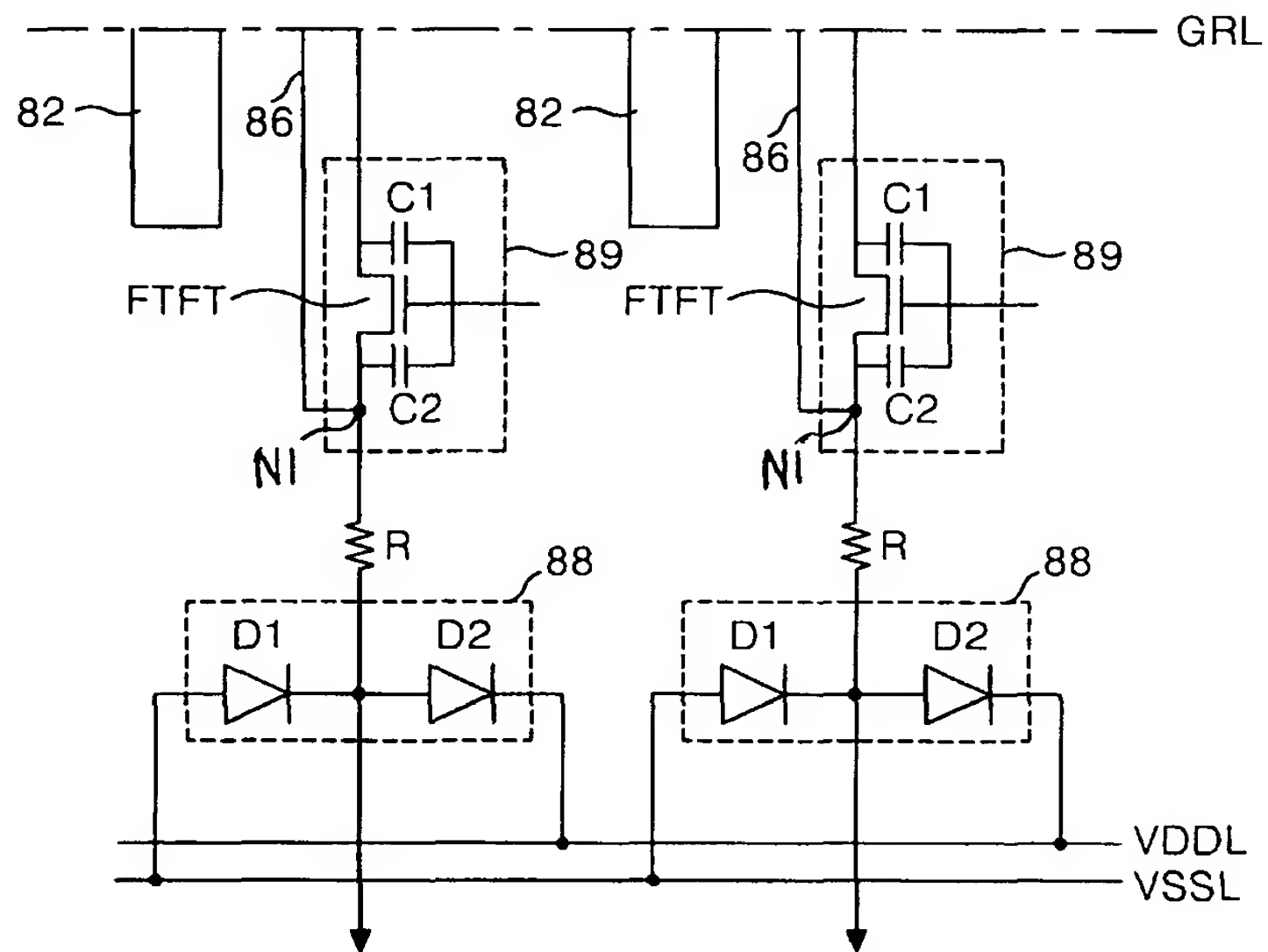
【도 7】



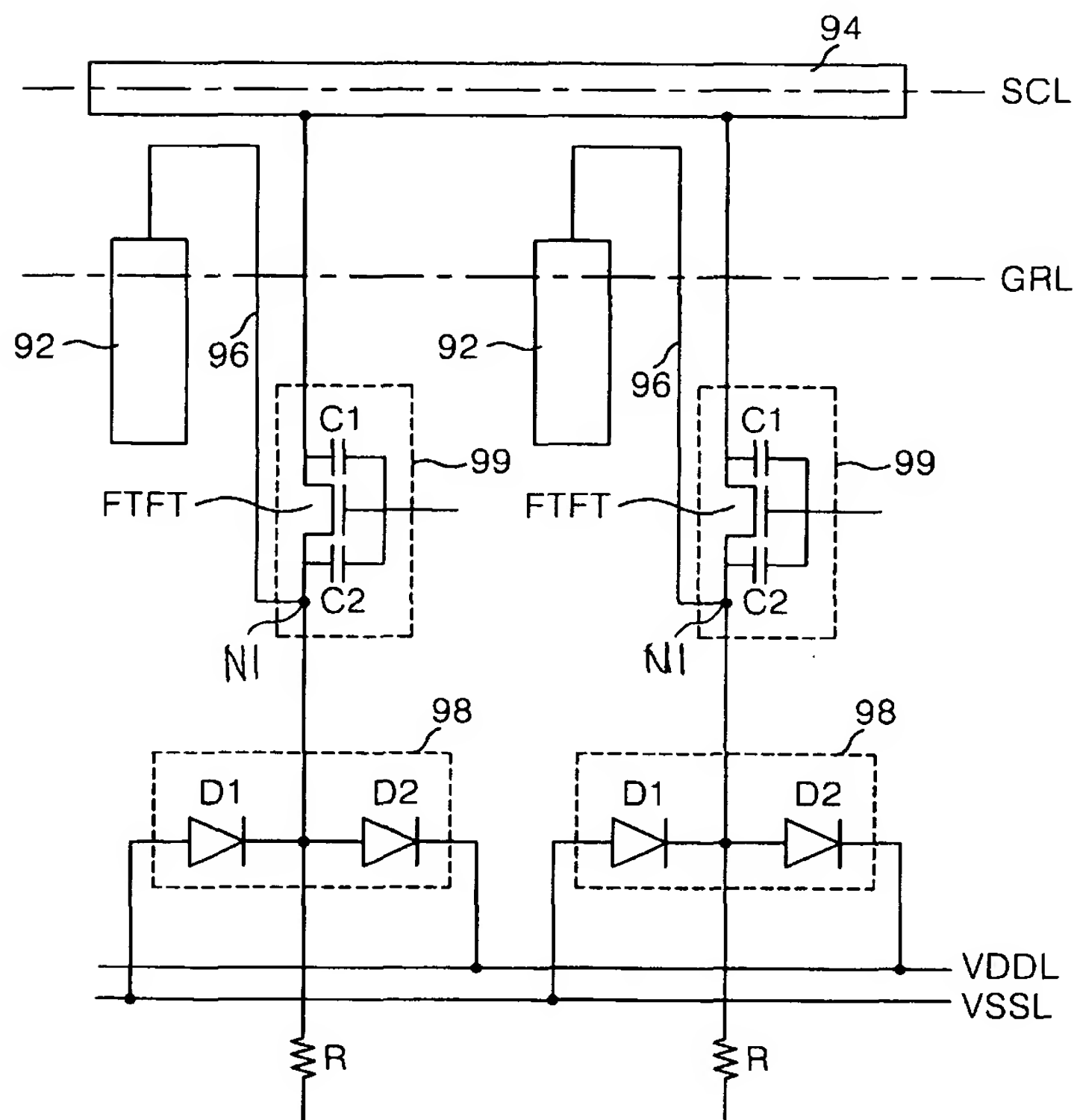
【도 8a】



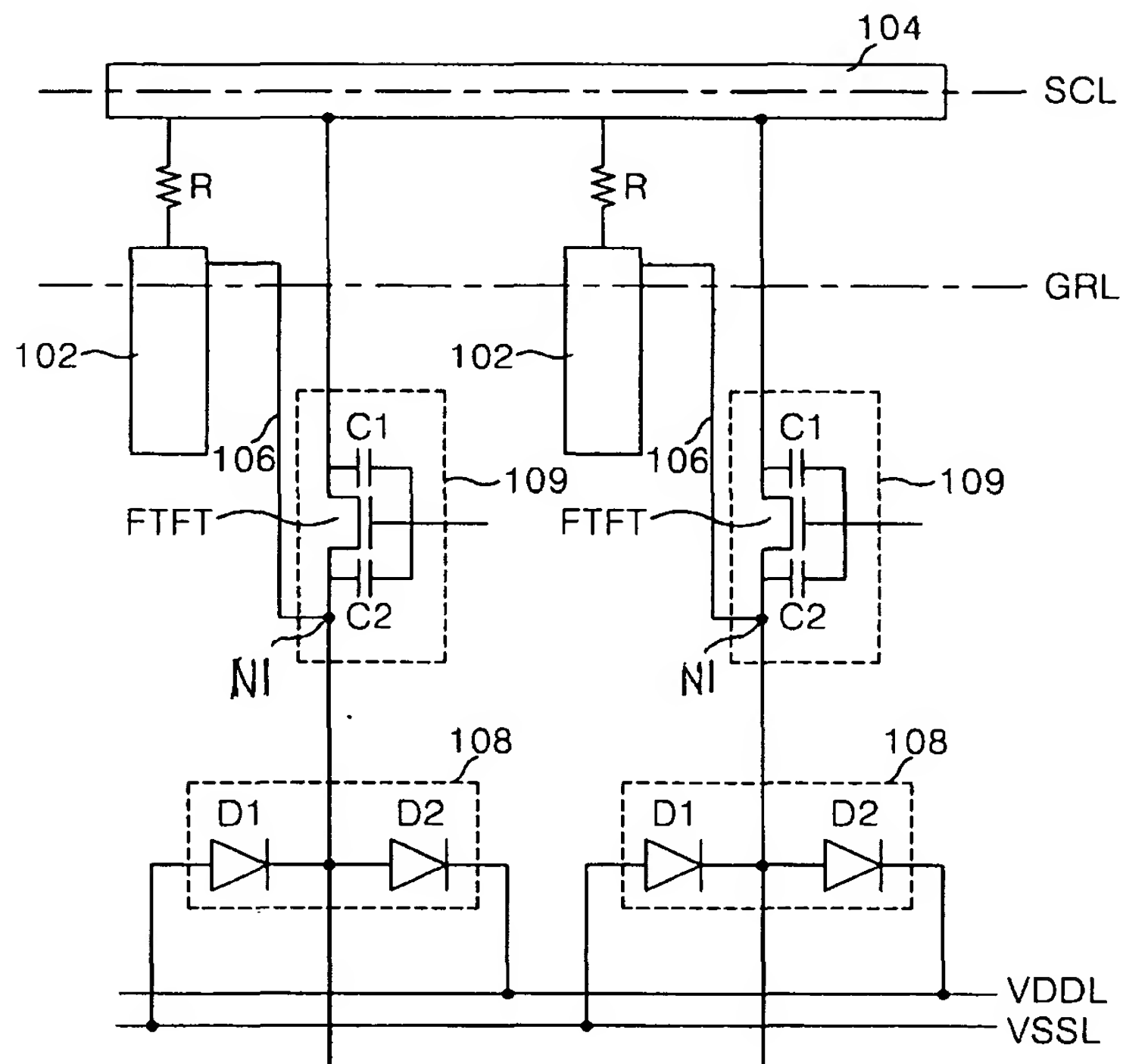
【도 8b】



【도 9】



【도 10】



The diagram illustrates a circuit for a 1T1R1C1 array element. It features a horizontal SCL line (114) and a vertical GRL line. Two vertical lines, 116, run parallel to the GRL. Each vertical line 116 is connected to the SCL line (114) and the GRL line. A resistor R (118) is connected between the GRL line and the vertical line 116. A capacitor C2 is connected between the vertical line 116 and the GRL line. A capacitor C1 is connected between the vertical line 116 and the SCL line (114). A diode D1 is connected between the vertical line 116 and the VDDL line. A diode D2 is connected between the vertical line 116 and the VSSL line. The circuit is labeled with various components: 114 (SCL line), 115 (vertical line), 116 (vertical line), 117 (diode D1), 118 (resistor R), 119 (diode D2), 120 (capacitor C1), and 121 (capacitor C2).

[illegible]